

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-244367

(43)Date of publication of application : 07.09.2001

(51)Int.Cl. H01L 23/12

H01L 25/00

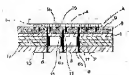
H05K 1/09

H05K 3/46

(21)Application number : 2000- (71)Applicant : KYOCERA CORP
053998

(22)Date of filing : 29.02.2000 (72)Inventor : IINO YUJI
IWACHI HIROMI

(54) WIRING BOARD WITH BUILT-IN ELECTRIC ELEMENT



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a wiring board with a built-in electric

element excellent in reliability wherein an electric element of a capacitor or the like is built in an insulating substrate and even after the thermal treatment of reflow soldering or the like, connection reliability between the electric element and wiring circuit layers is excellent and a function of the electric element does not vary.

SOLUTION: In a wiring board with the built-in electric element A wherein a plurality of wiring circuit layers 8, 9 and via hole conductors 10, 11 formed by filling the via holes with metal components are formed on and/or in the insulating substrate 1 containing at least an organic resin, and the electric element 3 of the capacitor or the like that has at least a pair of terminal electrodes 6a, 6b is built, the terminal electrodes 6a, 6b of the electric element 3 and the via hole conductors 10, 11 are directly connected and an intermetallic compound of Cu and Sn such as Cu₃Sn, Cu₆Sn₅ or the like is allowed to exist in connection parts of the terminal electrodes 6a, 6b and the via hole conductors 10, 11.

LEGAL STATUS

[Date of request for examination] 23.01.2002

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3472523

[Date of registration] 12.09.2003

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against

examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The insulating substrate which contains organic resin at least, and the wiring circuitry layer of two or more layers formed in the front face and/or the interior of this insulating substrate, the Bahia hall which is established in the interior of an insulating substrate and comes to fill up a metal component in the Bahia hall -- with a conductor the wiring substrate with a built-in electric element which comes to build the electric element which has the terminal electrode of a pair at least in said insulating substrate -- it is -- the terminal electrode of said electric element, and said Bahia hall, while coming to connect with a conductor directly said terminal electrode and said Bahia hall -- the wiring substrate with a built-in electric element characterized by the intermetallic compound of Cu and Sn existing in a connection with a conductor.

[Claim 2] said Bahia hall -- a conductor -- the wiring substrate according to claim 1 with a built-in electric element characterized by Sn / (Cu+Sn) weight ratio being 0.5-0.95 as an inner metal component including Cu and Sn.

[Claim 3] The wiring substrate according to claim 1 with a built-in electric element characterized by said electric element consisting of a stacked type ceramic condenser.

[Claim 4] The wiring substrate according to claim 1 with a built-in electric element characterized by said electric element consisting of a stacked type ceramic condenser which has two or more positive electrodes and the two or more negative electrodes.

[Claim 5] The wiring substrate according to claim 1 with a built-in electric element characterized by coming to form in the outermost surface of the terminal electrode of said electric element the conductor layer which contains Sn at least.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention can mount electronic parts, such as an LSI chip, in a front face, and relates to the wiring substrate with a built-in electric element which contained electric elements, such as a capacitor, in the interior of an insulating substrate.

[0002]

[Description of the Prior Art] In recent years, the electronic equipment by which high-speed operation is called for comes to be widely used with the spread of

communication equipment, and the package in which high-speed operation is possible is further called for in connection with this. In order to perform such high-speed operation, it is necessary to reduce an electrical signal noise as much as possible. For that purpose, to reduce the inductance of the wiring section is needed by arranging passive electronic parts, such as a capacitor, near the active electronic device, and shortening the wire length of an electronic circuitry as much as possible.

[0003] As an approach of coping with such a problem, the approach of embedding a chip-like capacitor in the insulating layer between a voltage plane and a grand layer is thought out by JP,2-121393,A. Moreover, the wiring substrate with which JP,11-220262,A also built in the semiconductor device and the capacitor in the insulating substrate is proposed.

[0004]

[Problem(s) to be Solved by the Invention] However, although the ceramic chip capacitor embedded between the insulating layers between the pattern of a voltage plane and the pattern of a grand layer with the structure of this JP,2-121393,A is held at the surrounding insulating layer From it being what connection between the terminal electrode of a capacitor, and the voltage plane inside a substrate and a grand layer depends on a pressure welding Although originating in a differential thermal expansion etc. by the thermal impact, and the connectability of a terminal electrode and a wiring circuitry layer changing, and connecting the electrode etc. and wiring circuitry layer of a semiconductor device with conductors, such as gold, silver, copper, nickel, and solder, in JP,11-220262,A is also proposed When electronic parts, such as a semiconductor device, were carried in the front face of a wiring substrate, solder mounting was carried out and a solder reflow of the wiring substrate was carried out at the temperature of 220-300 degrees C, there was a problem that the connectability of a terminal electrode and a wiring circuitry layer will change. When the component built in especially was a capacitor, the inductance by the capacitor became large and there was a problem that the function of the noise rejection by

the capacitor changed or deteriorated.

[0005] Therefore, this invention aims at offering the wiring substrate excellent in the dependability from which the connectability of the electric element and the wiring circuitry layer of a wiring substrate which were built in after the solder reflow at the time of coming to build electric elements, such as a capacitor, in the interior of an insulating substrate, and mounting electronic parts in a front face etc. is maintained, and the function of the built-in electric element does not change with a built-in electric element.

[0006]

[Means for Solving the Problem] The insulating substrate which contains organic resin at least as a result of this invention persons' repeating examination to the above-mentioned technical problem, The wiring circuitry layer of two or more layers formed in the front face and/or the interior of this insulating substrate, the Bahia hall which is established in the interior of an insulating substrate and comes to fill up a metal component in the Bahia hall -- with a conductor the wiring substrate with a built-in electric element which comes to build the electric element which has the terminal electrode of a pair at least in said insulating substrate -- it is -- the terminal electrode of said electric element, and said Bahia hall, while connecting with a conductor directly the terminal electrode and Bahia hall -- making the intermetallic compound of Cu and Sn exist in a connection with a conductor -- an electric element and the Bahia hall -- connection dependability with a conductor can be raised.

[0007] in addition, this this invention -- setting -- the Bahia hall -- a conductor -- it is desirable to contain by the ratio of which Sn / (Cu+Sn) weight ratio consists with 0.5-0.95 including Cu and Sn as an inner metal component, and to form in the outermost surface of the terminal electrode of an electric element the conductor layer which contains Sn at least.

[0008] furthermore, said Bahia hall of the terminal electrode of said electric element -- the area of a connection side with a conductor -- said Bahia hall -- connection dependability can be further raised by making it larger than the cross

section of a conductor.

[0009] Moreover, it is desirable when it reduces an inductance that a stacked type ceramic condenser, especially a terminal electrode have [said electric element] two or more positive electrodes and the two or more negative electrodes.

[0010] In connecting a conductor according to this invention -- the interior of an insulating substrate -- an electric element -- building -- the terminal electrode and Bahia hall -- On the concrete target which makes the connection generate a Cu-Sn intermetallic compound the outermost surface of the terminal electrode of an electric element -- Sn content conductor layer -- forming -- moreover, the Bahia hall -- a conductor -- by making Cu and Sn contain in inside and heating at the temperature of 210 degrees C or more the Bahia hall -- a conductor -- the metal component which makes a subject Cu and Sn which are contained in inside, and Sn of the terminal electrode of a capacitor -- reacting -- the Bahia hall -- to the connection of a conductor and the terminal electrode of a capacitor The intermetallic compound of Cu-Sn excellent in the high electrical conductivity and thermal resistance of Cu₃Sn or Cu₆Sn₅ grade other than Cu or Sn is generated. consequently, the Bahia hall -- the case where improved the electrical installation of a conductor and the terminal electrode of a capacitor, and rapid heating is added from the outside, such as a solder reflow, -- also setting -- a terminal electrode and the Bahia hall, in order that connectability with a conductor may not change The function which prevented the rise of the inductance by a capacitor etc. and was always stabilized can be demonstrated.

[0011]

[Embodiment of the Invention] It explains to a detail based on drawing 1 which shows the outline sectional view in one example of the wiring substrate with a built-in electric element of this invention. The cavity 2 is formed in the interior of an insulating substrate 1, and, as for the wiring substrate A in this invention, the capacitor element 3 is built in as an electric element in the cavity 2. Moreover, electronic parts, such as a semiconductor device 4, are carried in the wiring

substrate A front face right above on which the capacitor element 3 of the wiring substrate A is built in.

[0012] In the wiring substrate shown in drawing 1, the capacitor element 3 built in in an insulating substrate 1 possesses two or more positive electrodes and the two or more negative electrodes. An example of such a capacitor element 3 was shown in the outline perspective view of drawing 2. The capacitor element 3 of this drawing 2 consists of a laminating mold ceramic condenser which consists of a layered product of the shape of Nogata formed by carrying out the laminating of the ceramic dielectric layer 5 which uses BaTiO_3 as a principal component, and arrangement formation of four positive electrode 6a and the four negative electrode 6b is equally carried out independently at the outside surface of that layered product. In the capacitor element of drawing 2 (a), negative electrode 6b is formed in the center section of each side, and positive electrode 6a is formed in each corner.

[0013] Moreover, between each ceramic dielectric layer 5 of a layered product, internal electrode 7b for negative electrodes of a pattern as shown in internal electrode 7a for positive electrodes of a pattern as shown in drawing 2 (b), and drawing 2 (c) is formed by turns, and positive electrode 6a and internal electrode 7b for negative electrodes are electrically connected with negative electrode 6b for internal electrode 7a for positive electrodes by the end face of a layered product, respectively.

[0014] On the other hand, the 1st conductor layer 8 and the 2nd conductor layer 9 are formed in the insulating-substrate 1 interior between the electronic-parts loading side front faces of the capacitor element 3 of the built-in above-mentioned structure. and the Bahia hall formed by four positive electrode 6a and the 1st conductor layer 8 of a capacitor element 3 penetrating an insulating layer perpendicularly right above from this positive electrode 6a as shown in the pattern Fig. of drawing 3 (a) -- the conductor 10 connects electrically.

[0015] moreover, the Bahia hall formed by four negative electrode 6b and the 2nd conductor layer 9 of a capacitor element 3 penetrating an insulating layer

perpendicularly right above from this negative electrode 6b as shown in the pattern Fig. of drawing 3 (b) -- the conductor 11 connects electrically.

[0016] in addition, the Bahia hall which connects negative electrode 6b and the 2nd conductor layer 9 to the 1st conductor layer 8 -- the opening 12 in which the conductor was formed is formed so that a conductor 11 may not be contacted.

[0017] and to the 1st conductor layer 8 connected with positive electrode 6a of a capacitor element 3 The conductor 13 is formed. furthermore, an electronic-parts loading side -- applying -- the Bahia hall -- To the 2nd conductor layer 9 which is connected with the land 14 for positive electrodes prepared in the substrate front face, and was similarly connected with negative electrode 6b of a capacitor element 3 furthermore, an electronic-parts loading side -- applying -- the Bahia hall -- the conductor 15 is formed and it connects with the land 16 for the negative electrodes prepared in the substrate front face.

[0018] And it connects with the bump of the semiconductor device 4 carried in the front face of an insulating substrate 1, and said land 14 for positive electrodes and the land 16 for the negative electrodes electrically.

(Generation of an intermetallic compound) the Bahia hall which is directly connected with positive electrode 6a of a capacitor element 3 and negative electrode 6b in the wiring substrate A according to this invention -- the thing with conductors 10 and 11 made for the intermetallic compound of Cu and Sn to exist in a connection is the big description at least. the case where, as for this intermetallic compound, the heat cycle from the outside is impressed since thermal resistance and electrical conductivity were high -- also setting -- the electrodes 6a and 6b of a capacitor element 3, and the Bahia hall -- it can connect firmly, without spoiling connectability with conductors 10 and 11. As an intermetallic compound of Cu and Sn, Cu₃Sn which copper (Cu) and tin (Sn) become from the ratio of 3:1, and Cu₆Sn₅ which consists of a ratio of 6:5 are mentioned.

[0019] if Cu₃Sn especially with many Cu contents is made to exist at least -- the Bahia hall -- the thermal resistance of a conductor and high electrical conductivity

can be given. Therefore, it is desirable as an intermetallic compound for Cu_3Sn , or Cu_3Sn and Cu_6Sn_5 to exist desirably [both]. more -- concrete -- the Bahia hall -- in X diffraction measurement of conductors 10 and 11, when the peak height of Cu_6Sn_5 which exists the peak height of Cu_3Sn which exists near $2\theta = 57.5^\circ$ H1 and near $2\theta = 60^\circ$ is set to H2, it is desirable for H1/H2 to be 1.0 especially or more 0.5 or more.

[0020] such an intermetallic compound -- the Bahia hall -- terminal electrode 6a of conductors 10 and 11 and a capacitor element 3 -- 6b -- although what is necessary is just to exist in a connection at least -- especially -- this connection -- containing -- the Bahia hall, when the above-mentioned intermetallic compound exists in a conductor 10 and 11 the Bahia hall -- it not only raises the connection dependability of conductors 10 and 11 and the terminal electrodes 6a and 6b, but the Bahia hall -- the result which can raise the thermal resistance and the electrical conductivity in conductors 10 and 11 -- the terminal electrodes 6a and 6b of a capacitor element 3, and the Bahia hall -- electric connectability with other circuits through conductors 10 and 11 can also be stabilized.

[0021] in order to make such an intermetallic compound generate -- first -- the Bahia hall -- as a metal component [in / at least / a connection with the terminal electrodes 6a and 6b] of conductors 10 and 11, it is desirable to contain Cu and Sn and it is desirable for the weight ratios expressed with $\text{Sn}/(\text{Cu}+\text{Sn})$ with copper (Cu) and tin (Sn) to be 0.5-0.95. moreover, the Bahia hall from said reason -- it is desirable for a conductor 10 and the 11 whole to contain Cu and Sn of the above-mentioned ratio. furthermore -- in order to promote generation of Cu_3Sn -- $\text{Sn} / (\text{Cu}+\text{Sn})$ weight ratio -- 0.5 to 0.75 -- especially -- 0.5 to 0.70 -- further -- it is desirable that it is 0.5-0.65.

[0022] If said weight ratio is smaller than 0.5 as for this, as a result of the amount of generation of an intermetallic compound decreasing, since the connectability of a capacitor between copper content powder and copper content powder, and terminal inter-electrode becomes low the Bahia hall -- to the mounting section of the semiconductor device arranged on the surface through a conductor The

electrical conductivity to the mounting section with a mother board is low. Or moreover the case where a reflow is carried out at the time of a reflow, for example, 240-260 degrees C, -- the Bahia hall -- between the metal powder in a conductor, and the Bahia hall -- the contact condition of a conductor and the terminal electrode layer of a capacitor changes easily, and there is a possibility that electrical conductivity in the meantime may fall.

[0023] Moreover, if said weight ratio is larger than 0.95, since copper absolute magnitude will decrease It remains as a tin alloy of tin or a low-melt point point inside. the unreacted tin with which there were few amounts of generation of said intermetallic compound, and they were not moreover able to form an intermetallic compound with Cu -- the Bahia hall -- a conductor -- The thermal resistance at the time of a reflow (240-260 degrees C) etc. tends to deteriorate similarly, and the tin alloy of unreacted tin or a low-melt point point fuses at the time of a reflow. the Bahia hall -- a conductor -- between inner metal powder and the Bahia hall -- it is for the contact condition of a conductor and the terminal electrode layer of a capacitor to change easily, and to become easy for electrical conductivity to fall.

[0024] Moreover, all over the Bahia hall, resin, such as thermosetting resin, such as an epoxy resin, phenol resin, and an unsaturated polyester resin, and a cellulose, may be contained.

(Capacitor electrode) the Bahia hall filled up with above-mentioned Cu and Sn as a metal component again, when raising connectability with conductors 10 and 11 The conductor layer in which having the conductor layer which contains Sn at least in the outermost surface of the terminal electrodes 6a and 6b of electric elements, such as a capacitor element 3, contains at least one sort in Cu and nickel at least especially desirably, It is more desirable to form in the front face of this conductor layer the conductor layer which contains Sn at least.

[0025] The terminal electrodes 6a and 6b of a capacitor element 3 are the followings, and, more specifically, are made and formed. First, by mixing ethyl cellulose and an acrylic binder, conductive paste is produced, it applies so that the internal electrode exposed at the end face of a capacitor may be covered,

and it burns to frit glass powder with a mean particle diameter of 3-8 micrometers which serves as electrolysis Cu powder with a mean particle diameter of 1-5 micrometers from SiO_2 , Bi_2O_3 , Al_2O_3 , ZnO , etc. in a 800-900-degree C temperature requirement, and a 3.0-15-micrometer electrode layer is formed in it. [0026] Then, 1-5-micrometer nickel film is formed on the front face of the above-mentioned electrode layer with electroplating, and further 0.5-3-micrometer Sn film is formed with electroplating.

[0027] thus, the Bahia hall which contains Cu and Sn at least by forming the conductor layer containing Sn in the front face of the terminal electrodes 6a and 6b -- generation of the Cu-Sn intermetallic compound in a connection with a conductor can be promoted.

[0028] according to this invention -- above -- the Bahia hall -- after the heat test held for 2 minutes at 260 degrees C by making the connection of conductors 10 and 11 and the terminal electrodes 6a and 6b generate a Cu-Sn intermetallic compound -- also setting -- the Bahia hall -- a volume resistivity with the capacitor element which went via conductors 10 and 11 can maintain 1×10^4 or less ohm-cm of conductivity which was very excellent in below 5×10^5 ohm-cm especially.

[0029] When forming the structure which laid under the interior of a substrate the capacitor element 3 possessing two or more electrodes formed beforehand as the quality of the material of the insulating substrate 1 in the wiring substrate A with a built-in electric element of this invention although it does not limit especially if the above structures with a built-in capacitor element can be formed, it is desirable to consist of an insulating material containing the organic resin which does not need a sintering process.

[0030] Then, the manufacture approach of the wiring substrate with a built-in electric element of this invention that an insulating substrate becomes below from the insulating material containing organic resin is explained.

[0031] First, the insulation sheet which sank thermosetting resin, such as an epoxy resin, into the textile fabrics or the nonwoven fabric of the insulation sheet

in the condition which consists of a charge of an admixture of thermosetting resin, such as epoxy system resin and polyphenylene ether resin, or said thermosetting resin, and inorganic filler powder, such as a silica and an alumina, of not hardening or a glass fiber, or an aramid fiber and which is called the so-called prepreg is prepared.

[0032] And as shown, for example in process drawing of drawing 4, the cavity 21 which builds in a capacitor element is formed by punching etc. to the above-mentioned prepreg 20 (a). the conductive paste which forms the Bahia hall 23 to an insulation sheet 22, and, on the other hand, contains conductive powder, such as Cu powder, in the Bahia hall 23 -- being filled up -- the Bahia hall -- (b) which forms a conductor 24.

[0033] In order to make a connection with a capacitor element generate a Cu-Sn intermetallic compound, the above-mentioned conductive paste is the following, and is made and prepared. First, the alloy powder which consists of the end of tin powder or Sn-Ag-Cu-Bi as a metal component to copper content powder, such as copper powder, copper powder which covered the end of silver dust, and copper-silver alloy powder, is blended with the rate that the weight ratio expressed with $\text{Sn}/(\text{Cu}+\text{Sn})$ of the tin in a metal component (Sn) and copper (Cu) is set to 0.5-0.95. And to this metal component 100 weight section, a pitch is added in 1 - 6 weight section, and a solvent is added at a rate of 1 - 4 weight section.

[0034] The copper content powder to be used is excellent in conductivity, its electrolytic copper powder with sufficient dispersibility is the most desirable, and 0.5-5 micrometers of mean particle diameter are desirable. if larger [if this is smaller than 0.5 micrometers, a front face will oxidize and the conductivity between powder will fall, and] than 5 micrometers -- the Bahia hall -- it is for the filling factor of the powder to a conductor to fall and for resistance to increase.

[0035] Moreover, the mean particle diameter of said end of tin powder or tin alloy powder has good 1-15 micrometers. This is for a front face's oxidizing and forming high resistance, if smaller than 1 micrometer, tin's localizing, while a

filling factor will fall, if larger than 15 micrometers, and spoiling thermal resistance.

[0036] As a pitch, others, polymethacrylate, a cellulose, etc. can be used from viewpoints, such as the dispersibility of copper content powder or tin content powder, an adhesive property, thermal resistance, shelf life, and weatherability.

[thermosetting resin /, such as an amine system curing agent an acid anhydride bisphenol A that reacts or Bisphenol F, an epoxy resin, and triallyl isocyanurate resin,]

[0037] Moreover, isopropyl alcohol, a terpineol, 2-octanol, butyl carbitol acetate, etc. are used that what is necessary is just a pitch and the solvent which can be dissolved as a solvent.

[0038] A paste is producible by kneading the constituent prepared as mentioned above with a stirring degassing machine, 3 rolls, etc. In this kneading, thermosetting resin can be mixed with metal powder and the oxidation at the time of hardening of the powder which made tin the subject can be prevented.

[0039] Then, a conductor layer 25 is formed in the front face of this insulation sheet 22 (c). After sticking this conductor layer 25 on metallic foils, such as for example, Cu foil and aluminum foil, on the surface of an insulation sheet, it has the approach of forming the conductor layer of a predetermined pattern according to the process of resist spreading, exposure, development, etching, and resist removal, or the approach of imprinting what stuck said metallic foil on the front face of a resin film, and formed the conductor layer of a predetermined pattern like the above beforehand on the front face of said insulation sheet. Among these, latter one is suitable for the latter approach at the point that an insulation sheet is not exposed to an etching reagent etc. and an insulation sheet does not deteriorate.

[0040] And while installing the capacitor element 26 possessing the terminal electrode with which the conductor layer which contains Sn in the outermost surface was formed in the cavity 21 of prepreg 20 the Bahia hall of this prepreg 20 which applied the manufacture approach of of the above (b) and (c), was filled up with Cu and Sn as a metal component up and down, and was formed -- the

insulation sheets 30a, 30b, and 30c in which the conductor 27, and a conductor layer 28 and the pad 29 for connection with a semiconductor device were formed -- 30d The laminating of the 30e is carried out.

[0041] And when the thermosetting resin in said insulation sheet and prepreg heats this laminated material at sufficient temperature to harden, the wiring substrate which contained the capacitor element as shown in drawing 1 is producible.

[0042] as the heat-curing temperature at this time -- the Bahia hall -- a conductor -- the reaction of inner Cu or Sn, and Sn of the terminal electrode surface of a capacitor element 3 can be made to generate the intermetallic compound which consists of Cu₃Sn or Cu₆Sn₅ by heating especially for about 1 to 3 hours at the temperature of 200-250 degrees C for 0.5 to 5 hours, when making a Cu-Sn intermetallic compound generate

[0043]

[Example] The pattern of the internal electrode for positive electrodes as used the metal paste of Ag-Pd for the front face of two or more ceramic dielectric sheets of example (1) BaTiO₃ system and shown in drawing 2 , or the internal electrode for negative electrodes was screen-stenciled. Then, after carrying out laminating adhesion of those sheets under the temperature of 55 degrees C, and the pressure of 150kg/cm² and cutting using a cutter in the state of Green, it calcinated in the temperature of 1220 degrees C of atmospheric-air ambient atmospheres, and the capacitor element pack was produced.

[0044] And apply to the positive electrode formation section and the negative electrode formation section the conductive paste which added the glass frit which contains SiO₂ grade in Cu powder, it can be burned on the outside surface of this capacitor element pack at the temperature of 850 degrees C, and 11-micrometer Cu conductor layer is formed in it. The electric barrel plating equipment of content volume 5L containing the small iron ball of 0.3phi is used. Then, 3.0-micrometer nickel plating film, Sn plating film with a thickness of 2.0 micrometers was formed, and the stacked type ceramic condenser of 8 terminal

molds as shown by drawing 2 possessing the terminal electrode of four positive electrodes and the terminal electrode of four negative electrodes was produced. In addition, for that dimension, $1.6 \times 1.6 \times 0.3$ (mm³) and electrostatic capacity are [11.0nF(s) and the self-inductance of this capacitor element] 80 (pH).

[0045] (2) The prepreg of A-PPE (heat-curing mold polyphenylene ether) resin (curing temperature = 200) 55 volume % and glass cloth 45 volume % was prepared. Moreover, similarly the cavity 1.7mm long and 1.7mm wide [slightly larger] than the magnitude of the capacitor contained by trephine processing by carbon dioxide laser was formed in a part of prepreg.

[0046] (3) On the other hand, so that silica powder 50 volume % may become comparatively to PPE (polyphenylene ether) resin Mix the resin and the powder of a varnish condition and two or more insulation sheets with a thickness of 150 micrometers are produced with a doctor blade method. the Bahia hall for connecting with those insulation sheets with a conductor layer and the bump of a semiconductor device -- the Bahia hall for connecting a conductor, and a capacitor element and a conductor layer -- as a conductor The copper powder whose mean particle diameter which formed two or more Bahia halls with a diameter of 0.2mm by punching, and plated silver on the front face is 5 micrometers, Carry out 12 weight sections addition mixing of triallyl isocyanurate and its oligomer as a resinous principle at the metal component 100 weight section which mixed Sn alloy (Sn-Ag-Cu-Bi) powder by the ratio of Table 1, and a conductive paste is prepared. this -- the inside of the above-mentioned Bahia hall -- being filled up -- the Bahia hall -- the conductor was formed.

[0047] (4) On the other hand, adhesives were applied to the front face of the imprint sheet which consists of polyethylene terephthalate (PET) resin, and 12 micrometers in thickness and copper foil of 0.8 micrometers of surface roughness were pasted up on the whole surface. And after applying the photoresist (dry film) and performing exposure development, this was immersed into the ferric-chloride solution, etching removal of the non-pattern section was carried out, and the conductor layer for positive electrodes and the conductor

layer for negative electrodes were formed. In addition, the produced wiring circuitry layer is a detailed pattern whose spacing of 20 micrometers, wiring, and wiring line breadth is 20 micrometers.

[0048] (5) And after sticking the conductor-layer side of an imprint sheet to an insulation sheet by pressure by the pressure of 30kg/cm², the imprint sheet was removed on the front face of the insulation sheet produced by (2), and it was made to imprint a conductor layer to an insulation sheet.

[0049] (6) Next, temporary installation of the stacked type ceramic condenser chip produced by (1) in the cavity of the prepreg in which the cavity produced by (2) was formed was carried out, the clearance between surrounding of a chip was filled up with epoxy resin 40 volume % and silica 60 volume %, and temporary immobilization was carried out.

[0050] The laminating of the insulation sheet of two sheets which has a conductor is carried out. pass (3) and (4) on the front face -- the produced conductor layer and the Bahia hall -- The temporary laminating of the insulation sheet of one sheet with which the conductor and the wiring circuitry layer were formed is carried out. furthermore -- further -- a it top -- a semiconductor device loading side -- becoming -- the Bahia hall -- the electrode which laid the capacitor for built-in produced above (1) in the front face by the side of reverse, and was formed in it on the surface of the capacitor with the component side of the semiconductor device, and the Bahia hall -- alignment was carried out so that the outcrop of the edge of a conductor might contact, and temporary immobilization was carried out with organic system adhesives.

[0051] (7) And at 220 degrees C, this laminated material is heated for 1 hour, and carried out full hardening, and the multilayer-interconnection substrate was produced. In addition, the opening of an insulation sheet contracted by flow of the resin by heating, the insulating layer and the capacitor chip stuck, and most clearances between a chip and an insulating layer were lost. In this way, the insulating bed depth per layer produced the evaluation substrate which is 0.10mm.

[0052] The produced wiring substrate with a built-in capacitor is set in frequency of 1.0MHz - 1.8MHz using an impedance analyzer. Measure the frequency characteristics of an impedance and the capacity value of a 1MHz capacitor is measured to coincidence. Based on $f_0 = 1 / (2\pi(L \cdot C)^{1/2})$ (the inside of a formula, f_0 : resonance-frequency (Hz) C: electrostatic-capacity (F), L: inductance (H)), it asked for the inductance by count from resonance frequency.

[0053] Moreover, the above-mentioned inductance was similarly measured after the spalling test (-55-125 degrees C) solder heatproof. After the cycle in every 5 minutes performed the -55-125-degree C cycle 100 times in the chamber of pressure 1atm which used carbon dioxide gas as the refrigerant and more specifically made the electric heater the source of heating, electrostatic capacity and an impedance were measured at the room temperature within 24 hours electrical-potential-difference 0.5V.

[0054] moreover, the capacitor terminal electrode in a wiring substrate and the Bahia hall -- generation of the Cu-Sn intermetallic compound in a connection with a conductor was checked with the electron probe microanalyzer (EPMA). Moreover, the deposit rate of Cu₃Sn was computed by having computed the characteristic-X-ray reinforcement of an element by the quantum by the EPMA. Moreover, with the criteria assay using Cu, it measured and the weight ratio of Sn/(Cu+Sn) in a connection was computed.

[0055] the Bahia hall of the part which connects with the terminal electrode 32 of a capacitor element 31 as shown in example of comparison 1 drawing 5 (a) -- the land 34 which consists of copper foil was formed in the edge of a conductor 33 with the replica method, and at the time of final hardening of a wiring substrate, the pressure welding of the capacitor terminal electrode 32 was carried out to this land 34, and it connected, and evaluated like the above.

[0056] the Bahia hall of the part which connects with the terminal electrode 32 of a capacitor element 31 as shown in example of comparison 2 drawing 5 (b) -- after forming in the edge of a conductor 33 the land 34 which consists of copper foil with a replica method, connection immobilization of this capacitor terminal

electrode 32 and land 34 was carried out at 230 degrees C with the Pb-Sn solder 35, and the same evaluation as the above was performed.

[0057]

[Table 1]

試料 No.	ビアホール導体の 金属成分組成(重量%)		コンデンサの 端子電極構造	ビアホール導体の Sn/(Cu+Sn) 重量比(%)	接続部の 構成相 **	H1/H2	インダクタンス(pH)		備 考
	Cu(Ag被覆)	Sn					初期値	リフロー後	
*1	70	30	Cu-Ni-Sn	48	C	0.2	122	305	
2	60	40	Cu-Ni-Sn	53.8	C, C3S	1.2	118	121	
3	50	50	Cu-Ni-Sn	62.4	C, C3S, C6SS	1	119	122	
4	40	60	Cu-Ni-Sn	72.3	C, C3S, C6SS	0.8	121	125	
5	30	70	Cu-Ni-Sn	82.1	C, C3S, C6SS	0.75	128	128	
6	20	80	Cu-Ni-Sn	90.3	C, C3S, C6SS	0.65	131	135	
*7	50	50	Cu-Ni	51.2	C	—	148	250	コンデンサSn層なし
*8	50	50	Cu-Ni-Sn	61.8	—	—	141	403	比較のみ
*9	100	—	Cu-Ni	0	Pb-Sn	—	153	353	半田接続
*10	100	—	Cu-Ni	0	C	—	158	420	ビアホール導体Cuのみ

* : 比較例

** : CはCu, C3SはCu₃Sn, C6SSはCu₆Sn₅をそれぞれ表す。

[0058] clear from the result of Table 1 -- as -- this invention -- being based -- the Bahia hall of a wiring substrate -- generation of a Cu-Sn intermetallic compound was checked by forming Sn content conductor layer in the outermost layer of a terminal electrode, using the conductive paste which predetermined came out of Cu and Sn component to the conductor comparatively, and was mixed. And by generation of this intermetallic compound, as compared with the case of the connection by the conventional pressure welding, or connection by mere solder, thermal resistance improved and change of an inductance indicated the good result to be 10% or less after a solder reflow.

[0059] in addition, the example 1 (sample No.8) of a comparison by the conventional pressure welding and the example 2 (sample No.9) of a comparison of connection by solder, and the Bahia hall -- it was that to which generation of an intermetallic compound is not accepted but the rate of change of an inductance all exceeds 10% in sample No.10 which formed the conductor only by Cu, and sample No.9 which made solder connection of the terminal electrode of a capacitor element with solder at the land.

[0060]

[Effect of the Invention] According to this invention, an electric element is built in the interior of an insulating substrate as mentioned above. the terminal electrode and Bahia hall -- by making the Cu-Sn intermetallic compound which has high electrical conductivity and thermal resistance in the connection generate in connecting a conductor [when the solder reflow processing back at the time of mounting electronic parts in the front face of a wiring substrate etc. is performed] The wiring substrate excellent in the dependability from which the connectability of the electric element and the wiring circuitry layer of a wiring substrate which were built in is maintained, and the function of the built-in electric element does not change with a built-in electric element can be offered.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the outline sectional view of the wiring substrate with a built-in electric element of this invention.

[Drawing 2] It is for explaining the capacitor element used by this invention, and (a) is [the pattern Fig. of the internal electrode for positive electrodes and (c of an outline perspective view and (b))] the internal electrode pattern Figs. for

negative electrodes.

[Drawing 3] They are the pattern Fig. of the (a) 1st conductor layer in the wiring substrate of this invention, and the pattern Fig. of the (b) 2nd conductor layer.

[Drawing 4] It is process drawing in order to manufacture the wiring substrate with a built-in electric element of this invention.

[Drawing 5] the terminal electrode of the capacitor element in the example of a comparison, and the Bahia hall -- it is drawing for explaining a connection condition with a conductor.

[Description of Notations]

A Wiring substrate

1 Insulating Substrate

2 Cavity

3 Capacitor Element

4 Semiconductor Device

5 Ceramic Dielectric Layer

6a Positive electrode

6b Negative electrode

7a The internal electrode for positive electrodes

7b The internal electrode for negative electrodes

8 1st Conductor Layer

9 2nd Conductor Layer

10, 11, and 17 the Bahia hall -- conductor

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

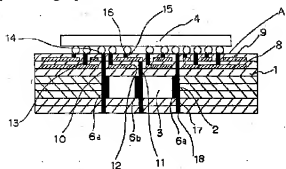
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

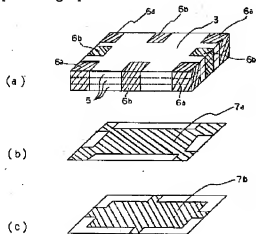
3. In the drawings, any words are not translated.

DRAWINGS

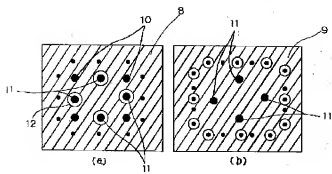
[Drawing 1]



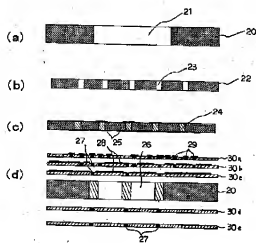
[Drawing 2]



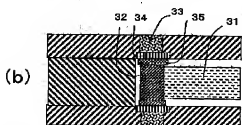
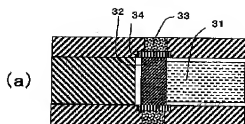
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-244367

(P2001-244367A)

(43) 公開日 平成13年9月7日(2001.9.7)

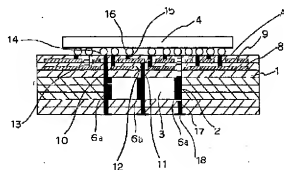
(51) Int.Cl. ⁷	識別番号	F I	キーワード (参考)
H 0 1 L 23/12		H 0 1 L 25/00	B 4 E 3 5 1
25/00		H 0 5 K 1/09	A 5 E 3 4 6
H 0 5 K 1/09		3/46	Q
3/46			S
		H 0 1 L 23/12	B
		審査請求 未請求 請求項の数 6 O L (全 8 頁)	
(21) 出願番号	特願2000-53998(P2000-53998)	(71) 出願人	000006633 京セラ株式会社 京都府京都市伏見区竹田烏羽殿町 6 番地
(22) 出願日	平成12年 2 月29日 (2000. 2. 29)	(72) 発明者	飯野 祐二 鹿児島県国分市山下町 1 番 4 号 京セラ株式会社総合研究所内
		(72) 発明者	岩地 裕美 鹿児島県国分市山下町 1 番 4 号 京セラ株式会社総合研究所内
		F ターム (参考)	4E351 AA01 BB01 BB24 BB26 BB29 BB46 BB49 DD04 DD12 DD21 CC08 5E346 CC13 CC32 CC39 DD12 DD44 DD48 FF18 FF45 HH01

(54) 【発明の名称】 電気素子内蔵配線基板

(57) 【要約】

【課題】絶縁基板内にコンデンサなどの電気素子を内蔵してなり、半田リフローなどの熱処理後においても、電気素子と配線回路層との接続信頼性に優れ、電気素子による機能が変化しない信頼性に優れた電気素子内蔵配線基板を得る。

【解決手段】少なくとも有機樹脂を含有する絶縁基板 1 表面や内部に複数層の配線回路層 8、9 やバイアホール内に金属成分を充填してなるバイアホール導体 10、11 が形成され、この絶縁基板 1 内に少なくとも一対の端子電極 6 a、6 b を有するコンデンサなどの電気素子 3 を内蔵してなる電気素子内蔵配線基板 A であって、電気素子 3 の端子電極 6 a、6 b とバイアホール導体 10、11 とを直接的に接続してなるとともに、端子電極 6 a、6 b とバイアホール導体 10、11 との接続部に、 Cu_3Sn や Cu_6Sn_5 などの Cu と Sn との金属間化合物を存在させる。



【特許請求の範囲】

【請求項1】 少なくとも有機樹脂を含有する絶縁基板と、該絶縁基板の表面および／または内部に形成された複数層の配線回路層と、絶縁基板内部に設けられバイアホール内に金属成分を充填してなるバイアホール導体と、前記絶縁基板内に少なくとも一対の端子電極を有する電気素子を内蔵してなる電気素子内蔵配線基板であって、

前記電気素子の端子電極と前記バイアホール導体と直接的に接続してなることと、前記端子電極と前記バイアホール導体との接続部に、CuとSnとの金属間化合物が存在することを特徴とする電気素子内蔵配線基板。

【請求項2】 前記バイアホール導体中の金属成分として、CuおよびSnを含み、Sn/(Cu+Sn)重量比が0.5〜0.95であることを特徴とする請求項1記載の電気素子内蔵配線基板。

【請求項3】 前記電気素子が、積層セラミックコンデンサからなることを特徴とする請求項1記載の電気素子内蔵配線基板。

【請求項4】 前記電気素子が、2個以上の正電極および2個以上の負電極を有する積層セラミックコンデンサからなることを特徴とする請求項1記載の電気素子内蔵配線基板。

【請求項5】 前記電気素子の端子電極の最表面に少なくともSnを含む導体層が形成されてなることを特徴とする請求項1記載の電気素子内蔵配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、LSIチップなどの電子部品を表面に実装可能であり、絶縁基板の内部にコンデンサなどの電気素子を内蔵した電気素子内蔵配線基板に関するものである。

【0002】

【従来技術】 近年、通信機器の普及に伴い、高速度動作が求められる電子機器が広く使用されるようになり、さらにこれに伴って高速度動作可能なパッケージが求められている。このような高速度動作を行うためには、電気信号ノイズを極力低減する必要がある。そのためには、コンデンサ等の受動電子部品を能動電子素子の近傍に配置し、電子回路の配線長を極力短くすることにより、配線部のインダクタンスを低減することが必要とされている。

【0003】 このような問題に対処する方法として、例えば、特開平2-121393号には、電源層とグランド層の間の絶縁層内にチップ状のコンデンサを埋め込む方法が案出されている。また、特開平11-220262号では、絶縁基板内に半導体素子やコンデンサを内蔵した配線基板が提案されている。

【0004】

【発明が解決しようとする課題】 しかしながら、この特

開平2-121393号の構造では電源層のパターンとグランド層のパターンとの間の絶縁層間に埋め込まれたセラミックチップコンデンサは周囲の絶縁層に保持されているものの、コンデンサの端子電極と基板内部の電源層やグランド層との接続が圧接によるものであることから、その熱的な衝撃によって熱膨張差などに起因して端子電極と配線回路層との接続性が変化し、また、特開平11-220262号では、半導体素子の電極などと配線回路層とを金、銀、銅、ニッケル、半田などの導体によって接続することと提案されているが、配線基板の表面に半導体素子などの電子部品を搭載する場合に半田実装の際に、配線基板を220〜300℃の温度で半田リフローした場合に、端子電極と配線回路層との接続性が変化してしまうという問題があった。特に、内蔵される素子が、コンデンサである場合には、そのコンデンサによるインダクタンスが大きくなってしまい、コンデンサによるノイズ除去という機能が変化、または劣化するという問題があった。

【0005】 従って、本発明は、絶縁基板の内部にコンデンサなどの電気素子を内蔵し、表面に電子部品を実装する際等の半田リフロー後においても、内蔵された電気素子と配線基板の配線回路層との接続性を維持し、内蔵された電気素子の機能が変化することのない信頼性に優れた電気素子内蔵配線基板を提供することを目的とするものである。

【0006】

【課題を解決するための手段】 本発明者らは、上記課題に対して検討を重ねた結果、少なくとも有機樹脂を含有する絶縁基板と、該絶縁基板の表面および／または内部に形成された複数層の配線回路層と、絶縁基板内部に設けられバイアホール内に金属成分を充填してなるバイアホール導体と、前記絶縁基板内に少なくとも一対の端子電極を有する電気素子を内蔵してなる電気素子内蔵配線基板であって、前記電気素子の端子電極と前記バイアホール導体と直接的に接続することと、その端子電極とバイアホール導体との接続部にCuとSnとの金属間化合物を存在せしめることによって、電気素子とバイアホール導体との接続信頼性を高めることができる。

【0007】 なお、かかる本発明においては、バイアホール導体中の金属成分としてCuとSnを含み、Sn/(Cu+Sn)重量比が0.5〜0.95と成る比率で含有され、また、電気素子の端子電極の最表面に少なくともSnを含む導体層が形成されていることが望ましい。

【0008】 さらに、前記電気素子の端子電極の前記バイアホール導体との接続面の面積が、前記バイアホール導体の断面積よりも大きくなることによって接続信頼性をさらに高めることができる。

【0009】 また、前記電気素子が、積層セラミックコンデンサ、特に端子電極が、2個以上の正電極および2

個以上の負電極を有することがインダクタンスを低減する上で望ましい。

【0010】本発明によれば、絶縁基板の内部に、電気素子を内蔵し、その端子電極とバイアホール導体とを接続するにあたり、その接続部にCu-Sn金属間化合物を生成させる。具体的には、電気素子の端子電極の最表面にSn含有導体層を形成し、また、バイアホール導体中にCuとSnとを含有せしめ、210℃以上の温度で加熱することによって、バイアホール導体中に含有されるCuとSnを主体とする金属成分とコンデンサの端子電極のSnとが反応してバイアホール導体とコンデンサの端子電極との接続部に、CuやSnの他に、Cu₃SnもしくはCu₆Sn₅等の高電気伝導性および耐熱性に優れたCu-Snの金属間化合物が生成され、その結果、バイアホール導体とコンデンサの端子電極との電氣的接続を向上し、半田リフローなどの外部から急激な加熱が加わった場合においても、端子電極とバイアホール導体との接続性が変化しないために、コンデンサ等によるインダクタンスの上昇を防止し常に安定した機能を発揮することができる。

【0011】

【発明の実施の形態】本発明の電気素子内蔵配線基板の一実施例における概略断面図を示す図1をもとに詳細に説明する。本発明における配線基板Aは、絶縁基板1の内部にキャビティ2が形成されており、そのキャビティ2内に電気素子とコンデンサ素子3が内蔵されている。また、配線基板Aのコンデンサ素子3が内蔵される直上の配線基板A表面には、半導体素子4などの電子部品が搭載されている。

【0012】図1に示す配線基板において、絶縁基板1内に内蔵されるコンデンサ素子3は、2個以上の正電極と2個以上の負電極を具備するものである。このようなコンデンサ素子3の一例を図2の概略斜視図に示した。この図2のコンデンサ素子3は、BaTiO₃を主成分とするセラミック誘電体層5を積層して形成された直方状の積層体からなる積層型セラミックコンデンサからなるものであって、その積層体の外表面には、4つの正電極6aと4つの負電極6bとが独立して均等に配置形成されている。図2(a)のコンデンサ素子においては、負電極6bは各辺の中央部に、正電極6aは、各角部に形成されている。

【0013】また、積層体の各セラミック誘電体層5間には、図2(b)に示されるようなパターンの正極用内部電極7aと図2(c)に示されるようなパターンの負極用内部電極7bとが交互に形成されており、正極用内部電極7aは、正電極6aと、負極用内部電極7bは負電極6bと積層体の端面でそれぞれ電氣的に接続されている。

【0014】一方、内蔵された上記の構造のコンデンサ素子3の電子部品搭載表面ととの間の絶縁基板1内部に

は、第1の導体層8、および第2の導体層9が形成されている。そして、図3(a)のパターン図に示すように、コンデンサ素子3の4つの正電極6aと第1の導体層8とは、この正電極6aから直上に絶縁層を垂直に貫通して形成されたバイアホール導体10によって電氣的に接続されている。

【0015】また、図3(b)のパターン図に示すように、コンデンサ素子3の4つの負電極6bと第2の導体層9とは、この負電極6bから直上に絶縁層を垂直に貫通して形成されたバイアホール導体11によって電氣的に接続されている。

【0016】なお、第1の導体層8には、負電極6bと第2の導体層9とを接続するバイアホール導体11と接触しないように、導体が形成された開口12が形成されている。

【0017】そして、コンデンサ素子3の正電極6aと接続された第1の導体層8には、さらに、電子部品搭載面にかけてバイアホール導体13が形成されており、基板表面に設けられた正電極用ランド14と接続されており、また同様に、コンデンサ素子3の負電極6bと接続された第2の導体層9には、さらに、電子部品搭載面にかけてバイアホール導体15が形成されており、基板表面に設けられた負電極用ランド16と接続されている。

【0018】そして、絶縁基板1の表面に搭載された半導体素子4のチップと、前記正電極用ランド14および負電極用ランド16と電氣的に接続されている。

(金属間化合物の生成)本発明によれば、配線基板A内におけるコンデンサ素子3の正電極6aと負電極6bと直接的に接続されるバイアホール導体10、11と少なくとも接続部に、CuとSnとの金属間化合物を存在せしめることが大きな特徴である。この金属間化合物は、耐熱性および電気伝導性が高いことから、外部からの熱サイクルが印加された場合においても、コンデンサ素子3の電極6a、6bとバイアホール導体10、11との接続性を損なうことなく強固に接続することができる。CuとSnとの金属間化合物としては、銅(Cu)と錫(Sn)とが3:1の比率からなるCu₃Snや、6:5の比率からなるCu₆Sn₅が挙げられる。

【0019】特にCu含有量の多いCu₃Snを少なくとも存在させると、バイアホール導体の耐熱性と高電気伝導性を付与することができる。よって、望ましくは、金属間化合物として、Cu₃Sn、またはCu₃SnとCu₆Sn₅がともに存在することが望ましい。より具体的には、バイアホール導体10、11のX線回折測定において、 $2\theta=57.5^\circ$ 付近に存在するCu₃Snのピーク高さをH1、 $2\theta=60^\circ$ 付近に存在するCu₆Sn₅のピーク高さをH2とした時、 $H1/H2$ が0.5以上、特に1.0以上であることが望ましい。

【0020】このような金属間化合物は、バイアホール導体10、11とコンデンサ素子3の端子電極6a、6b

bとの少なくとも接続部に存在すればよいが、特にこの接続部を含み、バイアホール導体10、11中に上記金属間化合物が存在することによって、バイアホール導体10、11と端子電極6a、6bとの接続信頼性を高めるのみならず、バイアホール導体10、11における耐熱性および電気伝導性とも向上させることができる結果、コンデンサ素子3の端子電極6a、6bとバイアホール導体10、11を介した他の回路との電気的な接続性をも安定させることができる。

【0021】このような金属間化合物を生成させるためには、まず、バイアホール導体10、11の少なくとも端子電極6a、6bとの接続部における金属成分として、CuとSnとを含有することが望ましく、銅(Cu)および錫(Sn)とのSn/(Cu+Sn)で表される重量比が0.5~0.95であることが望ましい。また、前記理由からバイアホール導体10、11全体が上記の比率のCuおよびSnを含有することが望ましい。さらには、Cu₂Snの生成を促進させるためには、Sn/(Cu+Sn)重量比が0.5~0.75、特に0.5~0.70、さらには0.5~0.65であることが望ましい。

【0022】これは、前記重量比率が0.5よりも小さいと、金属間化合物の生成量が少なくなる結果、銅含有粉末間および銅含有粉末とコンデンサの端子電極間との接続性が低くなるために、バイアホール導体を介した表面に配置した半導体素子の実装部まで、あるいはマザーボードとの実装部までの電気伝導性が低く、しかも、リフロー時、例えば240~260℃でリフローした場合に、バイアホール導体における金属粉末間や、バイアホール導体とコンデンサの端子電極層との接触状態が容易に変化して、その間の電気伝導性が低下してしまうおそれがある。

【0023】また、前記重量比率が0.95よりも大きいと、銅の絶対量が少なくなるために、前記金属間化合物の生成量が少なく、しかもCuとの金属間化合物を形成できなかった未反応の銅がバイアホール導体内に、銅または低融点の銅合金として残存して、同様にリフロー(240~260℃)時などの耐熱性が劣化しやすく、リフロー時に未反応の銅あるいは低融点の銅合金が溶融して、バイアホール導体内における金属粉末間や、バイアホール導体とコンデンサの端子電極層との接触状態が容易に変化して電気伝導性が低下しやすくなるためである。

【0024】また、バイアホール中にはエポキシ樹脂、フェノール樹脂、不飽和ポリエステル樹脂等の熱硬化性樹脂やセルロース等の樹脂が含まれる場合もある。(コンデンサ電極)また、上記のCuおよびSnを金属成分として充填されたバイアホール導体10、11との接続性を高める上で、コンデンサ素子3などの電気素子の端子電極6a、6bの最表面に、少なくともSnを含

む導体層を有することが望ましく、特に少なくともCu、Niのうちの少なくとも1種を含む導体層と、該導体層の表面に少なくともSnを含む導体層とが形成されていることがより望ましい。

【0025】より具体的には、コンデンサ素子3の端子電極6a、6bは以下のようにして形成される。まず、平均粒子径1~5μmの電解Cu粉末とS₁O₂、B₂O₃、Al₂O₃、ZnO等からなる平均粒子径3~8μmのフリットガラス粉末に、エチルセルロースやアクリル系のバインダーを混合することによって導体ペーストを製し、コンデンサの端面に露出した内部電極を覆うように塗布し、800~900℃の温度範囲で焼付けを行い、3.0~15μmの電極層を形成する。

【0026】この後、電めっき法によって上記の電極層の表面に、1~5μmのNi膜を、さらに0.5~3μmのSn膜を電めっき法によって成膜する。

【0027】このように端子電極6a、6bの表面にSnを含有する導体層を形成することによって、少なくともCuとSnとを含有するバイアホール導体との接続部でのCu-Sn金属間化合物の生成を促進することができる。

【0028】本発明によれば、上記のように、バイアホール導体10、11と端子電極6a、6bとの接続部にCu-Sn金属間化合物を生成させることによって、260℃で2分間保持する耐熱試験後においても、バイアホール導体10、11を経由したコンデンサ素子との体積抵抗が1×10⁻⁴Ω-cm以下、特に5×10⁻⁵Ω-cm以下の非常に優れた導電性を維持することができる。

【0029】本発明の電気素子内蔵配線基板Aにおける絶縁基板1の材質としては、上記のようなコンデンサ素子内蔵構造が形成可能であれば、特に限定するものではないが、あらかじめ形成された複数の電極を具備するコンデンサ素子3を基板内部に埋設した構造を形成する上では、焼結工程を必要としない有機樹脂を含有する絶縁材料からなることが望ましい。

【0030】そこで、以下に絶縁基板が有機樹脂を含有する絶縁材料からなる本発明の電気素子内蔵配線基板の製造方法について説明する。

【0031】まず、エポキシ系樹脂、ポリフェニレンエーテル樹脂などの熱硬化性樹脂、または前記熱硬化性樹脂と、シリカ、アルミナなどの無機フィラー粉末との混合材料からなる未硬化状態の絶縁シート、もしくはガラス繊維やアラミド繊維の織布または不織布にエポキシ樹脂などの熱硬化性樹脂を含浸した、いわゆるアブリゲと呼ばれる絶縁シートを準備する。

【0032】そして、例えば図4の工程図に示すように、上記アブリゲ20に対して、コンデンサ素子3を内蔵するキャビティ21をパンチングなどによって形成する(a)。一方、絶縁シート22に対してバイアホール

23を形成しそのバイアホール23にCu粉末などの導電性粉末を含有する導電性ペーストを充填してバイアホール導体24を形成する(b)。

【0033】上記の導電性ペーストは、コンデンサ素子との接続部にCu-Sn金属間化合物を生成させるために、以下のようにして調製する。まず、金属成分として、銅粉末、銀粉末を被覆した銅粉末、銅-銀合金粉末などの銅含有粉末に対して、錫粉末、あるいはSn-Ag-Cu-Biからなる合金粉末を、金属成分中の錫(Sn)と銅(Cu)とのSn/(Cu+Sn)で表される重量比が0.5~0.95となる割合に配合する。そして、この金属成分100重量部に対して、樹脂分を1~6重量部、溶剤を1~4重量部の割合で添加する。

【0034】使用する銅含有粉末は、導電性が優れ、分散性がよい電解銅粉が最も望ましく、平均粒子径は0.5~5 μ mが望ましい。これは0.5 μ mよりも小さいと、表面が酸化して粉末間の導電性が低下し、5 μ mよりも大きいと、バイアホール導体への粉末の充填率が低下し、抵抗が増大するためである。

【0035】また、前記銅粉末もしくは銅合金粉末の平均粒子径は1~15 μ mがよい。これは、1 μ mよりも小さいと表面が酸化して高抵抗化し、15 μ mよりも大きいと充填率が低下するとともに、錫が局在化して耐熱性を損ねるためである。

【0036】樹脂分としては、銅含有粉末や銅合金粉末の分散性、接着性、耐熱性、保存性、耐湿性などの観点から、アミン系硬化剤や酸無水物と反応するビスフェノールA、あるいはビスフェノールF、エポキシ樹脂、トリアリルイソシアレート樹脂などの熱硬化性樹脂のほか、ポリメタクリレートやセルロースなども使用できる。

【0037】また、溶剤としては、樹脂分や溶解可能な溶剤であればよく、例えば、イソプロピルアルコール、テルピネオール、2-オクタノール、ブチルカルビトールアセテート等が用いられる。

【0038】上記のようにして調合された組成物を攪拌脱泡機や3ボールなどで混練することによりペーストを作製できる。この混練において、金属粉末と熱硬化性樹脂が混ざり、錫を主体とした粉末の硬化時の酸化を防ぐことが出来る。

【0039】その後、この絶縁シート22の表面に、導体層25を形成する(c)。この導体層25は例えば、Cu箔、Al箔などの金属箔に絶縁シートの表面に貼着した後、レジスト塗布、露光、現像、エッチング、レジスト除去の工程によって所定のパターンの導体層を形成する方法、またはあらかじめ、樹脂フィルムの表面に前記金属箔を貼着して上記と同様にして所定のパターンの導体層を形成したものを前記絶縁シートの表面に転写する方法がある。このうち、後者の方法は、絶縁シートがエッチング液などにさらされることがなく、絶縁シート

が劣化することがない点で後者の方が好適である。

【0040】そして、アブリレグ20のキャビティ21内に、最表面にSnを含有する導体層が形成された端子電極を具備するコンデンサ素子26を設置するとともに、このアブリレグ20の上下に、前記(b)(c)の製造方法を応用して金属成分としてCuおよびSnを充填して形成されたバイアホール導体27や導体層28、半導体素子との接続用パッド29を形成した絶縁シート30a、30b、30c、30d、30eを積層する。

【0041】そして、この積層物を前記絶縁シートおよびアブリレグ中の熱硬化性樹脂が硬化するに充分な温度で加熱することにより、図1に示したようなコンデンサ素子に内蔵した配線基板を作製することができる。

【0042】この時の熱硬化温度としては、バイアホール導体中のCuあるいはSnと、コンデンサ素子3の端子電極表面のSnとの反応によって、Cu-Sn金属間化合物を生成させる上で、200~250℃の温度で0.5~5時間、特に1~3時間程度加熱することによって、Cu₃SnあるいはCu₆Sn₅からなる金属間化合物を生成させることができる。

【0043】

【実施例】実施例

(1) BaTiO₃系の複数のセラミック誘電体シートに表面に、Ag-Pdの金属ペーストを用いて図2に示したような正極用内部電極や負極用内部電極のパターンをスクリーン印刷した。その後、それらのシートを温度55℃、圧力150kg/cm²下で積層密着させ、グリーン状態でカッターを用いて切断した後、大気雰囲気1220℃の温度において焼成してコンデンサ素体を作製した。

【0044】そして、このコンデンサ素体の外表面に、Cu粉末にSiO₂等を含むガラスフリットを添加した導体ペーストを正電極形成部および負電極形成部に塗布して温度850℃で焼き付けて11 μ mのCu導体層を形成し、その後、0.3 ϕ の小鉄球の入った内容積5Lの電気バレルメッキ装置を用いて、3.0 μ mのNiめっき膜と、2.0 μ mの厚みのSnめっき膜を形成し、4つの正極の端子電極および4つの負極の端子電極を具備する図2で示したような8端子型の積層セラミックコンデンサを作製した。なお、このコンデンサ素子は、その寸法が1.6×1.6×0.3(mm³)、静電容量が11.0nF、自己インダクタンスが80(pH)である。

【0045】(2) A-PPE(熱硬化型ポリフェニレンエーテル)樹脂(硬化温度=200℃)55体積%、ガラス繊維45体積%のアブリレグを準備した。また、同様にアブリレグの一部に炭酸ガラスレーザーによるトレパン加工により取納するコンデンサの大きさよりもわずかに大きい縦1.7mm×横1.7mmのキャビティを形成した。

【0046】(3) 一方、PPE (ポリフェニレンエーテル) 樹脂に対しシリカ粉末50体積%の割合となるように、ワニス状態の樹脂と粉末を混合しドクターブレード法により、厚さ150 μm の複数の絶縁シートを作製し、それらの絶縁シートに、導体層と半導体素子のパンプと接続するためのバイアホール導体、およびコンデンサ素子と導体層とを接続するためのバイアホール導体として、パンチングで直径0.2mmのバイアホールを複数個形成し、表面に銀をメッキした平均粒径が5 μm の銅粉末と、Sn合金 (Sn-Ag-Cu-Bi) 粉末とを表1の比率で混合した金属成分100重量部に樹脂成分としてトリアリルイソシアヌレートおよびそのオリゴマーを12重量部添加混合して導電性ペーストを調製し、これを上記バイアホール内に充填してバイアホール導体を形成した。

【0047】(4) 一方、ポリエチレンテレフタレート (PET) 樹脂からなる転写シートの表面に接着剤を塗布し、厚さ12 μm 、表面粗さ0.8 μm の銅箔を一面に接着した。そして、フォトリソ (ドライフィルム) を塗布し露光現像を行った後、これを塩化第二鉄溶液中に浸漬して非パターン部をエッチング除去して正極用導体層および負極用導体層を形成した。なお、作製した配線回路層は、線幅が20 μm 、配線と配線との間隔が20 μm の微細なパターンである。

【0048】(5) そして、(2) で作製した絶縁シートの表面に、転写シートの導体層側を絶縁シートに30 kg/cm^2 の圧力で圧着した後、転写シートを剥がして、導体層を絶縁シートに転写させた。

【0049】(6) 次に、(2) で作製したキャビティが形成されたアブリレグのキャビティ内に(1)で作製した積層セラミックコンデンサチップを仮設置し、チップの周りの隙間にエポキシ樹脂40体積%、シリカ60体積%を充填して仮固定した。

【0050】その表面に(3)(4)を経て作製された導体層およびバイアホール導体を有する2枚の絶縁シートを積層し、さらに、更にその上に半導体素子搭載面となり、バイアホール導体および配線回路層が形成された1枚の絶縁シートを仮積層しておき、その半導体素子の実装面とは逆側の表面に、前記(1)で作製した内蔵用コンデンサを載置し、コンデンサの表面に形成された電極とバイアホール導体の端部の露出部が当接するように位置合わせし、有機系接着剤によって仮固定した。

【0051】(7) そして、この積層層を220℃で1時間加熱して完全硬化させて多層配線基板を作製した。

なお、加熱による樹脂の流動で絶縁シートの空隙が収縮して絶縁層とコンデンサチップとが密着しチップと絶縁層との隙間はほとんどなくなっていた。こうして、1層あたりの絶縁層厚みが0.10mmの評価基板を作製した。

【0052】作製したコンデンサ内蔵配線基板は、インピーダンスアナライザを用いて、周波数1.0MHz～1.8MHzにおいて、インピーダンスの周波数特性を測定し、同時に、1MHzでのコンデンサの容量値を測定し、そして、 $f_0=1/(2\pi(L\cdot C)^{1/2})$ (式中、 f_0 : 共振周波数 (Hz)、C: 静電容量 (F)、L: インダクタンス (H)) に基づいて、共振周波数からインダクタンスを計算で求めた。

【0053】また、上記のインダクタンスを熱衝撃試験 (-55～125℃) 半田耐熱後においても同様に測定した。より具体的には、炭酸ガスで冷媒とし、電気ヒータを加熱源とした圧力1atmのチャンバー内において、-55～125℃のサイクルを5分毎のサイクルによって100回行った後、24時間以内に室温にて電圧0.5Vで静電容量とインピーダンスを測定した。

【0054】また、配線基板におけるコンデンサ端子電極とバイアホール導体との接続部におけるCu-Sn金属間化合物の生成の確認を電子線マイクロアナライザ (EPMA) によって行なった。またそのEPMAによる定量によって元素の特性X線強度を算出して、Cu₉Snの析出割合を算出した。また、接続部におけるSn/(Cu+Sn)の重量比率をCuを用いた基準定量法によって測定、算出した。

【0055】比較例1

図5(a)に示すように、コンデンサ素子31の端子電極32と接続する部分のバイアホール導体33の端部に銅箔からなるランド部34を転写法にて形成し、配線基板の最終的な硬化時にコンデンサ端子電極32をこのランド部34に圧接して接続し、上記と同様にして評価を行なった。

【0056】比較例2

図5(b)に示すように、コンデンサ素子31の端子電極32と接続する部分のバイアホール導体33の端部に銅箔からなるランド部34を転写法にて形成した後、このコンデンサ端子電極32とランド部34とをPb-Sn半田35によって、230℃で接合固定し、上記と同様の評価を行なった。

【0057】

【表1】

試料 No.	ビホール導体の 金属成分組成(重量%)		1ンデンサの	ビホール導体の	接続部の	H1/H2	インダクタンス(pF)		備 考
	Cu(Ag)被覆	Sn	端子電極構造	Sn/(Cu+Sn) 重量比(%)	構成層 **		初期値	リフロー後	
*1	70	30	Cu-Ni-Sn	48	C	0.2	122	305	
2	60	40	Cu-Ni-Sn	53.6	G, C3S	1.2	118	121	
3	50	50	Cu-Ni-Sn	62.4	G,C3S,C6S5	1	119	122	
4	40	60	Cu-Ni-Sn	72.3	G,C3S,C6S5	0.8	121	125	
5	30	70	Cu-Ni-Sn	82.1	G,C3S,C6S5	0.75	128	128	
6	20	80	Cu-Ni-Sn	90.3	G,C3S,C6S5	0.65	131	135	
*7	50	50	Cu-Ni	61.2	C	—	148	250	コンデンサSn層なし
*8	50	50	Cu-Ni-Sn	61.8	—	—	141	403	圧接のみ
*9	100	—	Cu-Ni	0	Pb-Sn	—	153	3-3	半田接続
*10	100	—	Cu-Ni	0	G	—	158	490	ビホール導体Cuのみ

*: 比較例

*: *: GはCu, C3SはCu₃Sn, C6S5はCu₆Sn₅をそれぞれ表す。

【0058】表1の結果から明らかなように、本発明に基づき、配線基板のバイホール導体にCuとSn成分を所定の割合で混合した導体ペーストを用い、且つ、端子電極の最外層にSn含有導体層を形成することによって、Cu-Sn金属間化合物の生成が確認された。しかも、この金属間化合物の生成によって、従来の圧接による接続、または単なる半田による接続の場合に比較して、耐熱性が向上し、半田リフロー後においてもインダクタンスの変化が10%以下と良好な結果を示した。

【0059】なお、従来の圧接による比較例1(試料No. 8)および半田による接続の比較例2(試料No. 9)、バイホール導体にCuのみによって形成した試料No. 10、また半田によってコンデンサ素子の端子電極をランド部に半田接続した試料No. 9では、いずれも金属間化合物の生成は認められず、インダクタンスの変化率が10%を超えるものであった。

【0060】

【発明の効果】 上述した通り、本発明によれば、絶縁基板の内部に、電気素子を内蔵し、その端子電極とバイホール導体とを接続するにあたり、その接続部に高電気伝導性と耐熱性を有するCu-Sn金属間化合物を生成させることによって、配線基板の表面に電子部品を実装する際等の半田リフロー処理後を行なった場合においても、内蔵された電気素子と配線基板の配線回路層との接続性を維持し、内蔵された電気素子の機能が変化するここのない信頼性に優れた電気素子内蔵配線基板を提供することができる。

【図面の簡単な説明】

【図1】本発明の電気素子内蔵配線基板の概略断面図である。

【図2】本発明で用いられるコンデンサ素子を説明するためのものであって、(a)は、概略斜視図、(b)は正極用内部電極のパターン図、(c)は負極用内部電極パターン図である。

【図3】本発明の配線基板における(a)第1の導体層のパターン図と、(b)第2の導体層のパターン図である。

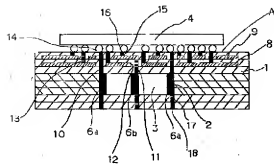
【図4】本発明の電気素子内蔵配線基板を製造するために工程図である。

【図5】比較例におけるコンデンサ素子の端子電極とバイホール導体との接続状態を説明するための図である。

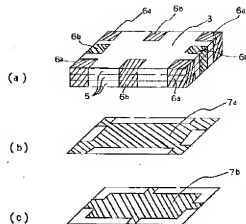
【符号の説明】

- A 配線基板
- 1 絶縁基板
- 2 キャビティ
- 3 コンデンサ素子
- 4 半導体素子
- 5 セラミック誘電体層
- 6 a 正電極
- 6 b 負電極
- 7 a 正極用内部電極
- 7 b 負極用内部電極
- 8 第1の導体層
- 9 第2の導体層
- 10、11、17 バイホール導体

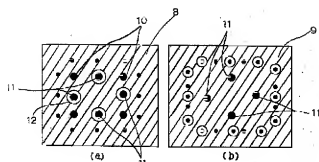
【図1】



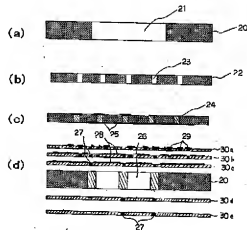
【図2】



【図3】



【図4】



【図5】

